

(19)日本国特許庁 (JP)

## (12) 公表特許公報 (A)

(11)特許出願公表番号  
特表2003-533025  
(P2003-533025A)

(43)公表日 平成15年11月5日 (2003.11.5)

(51)Int.Cl.<sup>7</sup>  
H 01 L 21/768  
21/312

識別記号

F I  
H 01 L 21/312  
21/90テーマコード (参考)  
C 5 F 0 3 3  
M 5 F 0 5 8

審査請求 有 予備審査請求 有 (全 51 頁)

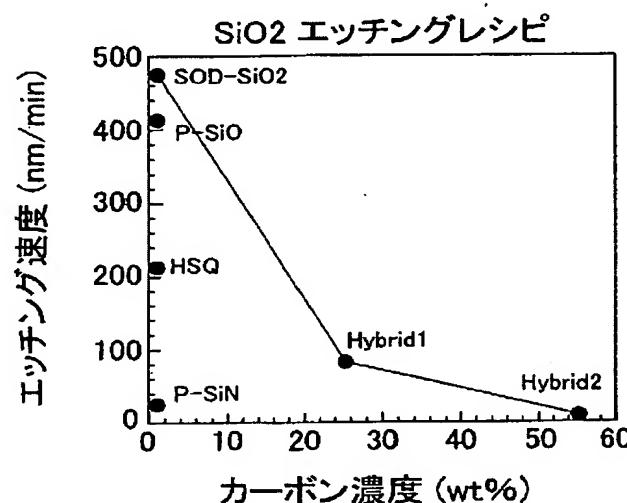
(21)出願番号 特願2001-581345(P2001-581345)  
 (86) (22)出願日 平成13年4月26日(2001.4.26)  
 (85)翻訳文提出日 平成14年10月23日(2002.10.23)  
 (86)国際出願番号 PCT/JP01/03618  
 (87)国際公開番号 WO01/084626  
 (87)国際公開日 平成13年11月8日(2001.11.8)  
 (31)優先権主張番号 特願2000-131378(P2000-131378)  
 (32)優先日 平成12年4月28日(2000.4.28)  
 (33)優先権主張国 日本 (JP)  
 (81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR, US

(71)出願人 東京エレクトロン株式会社  
東京都港区赤坂五丁目3番6号  
 (72)発明者 前川 薫  
山梨県笛崎市笛坂町三ツ沢650 東京エレクトロン株式会社内  
 (72)発明者 杉浦 正仁  
山梨県笛崎市笛坂町三ツ沢650 東京エレクトロン株式会社内  
 (74)代理人 弁理士 伊東 忠彦  
Fターム(参考) 5F033 HH11 JJ01 JJ11 MM02 QQ09  
QQ10 QQ11 QQ25 QQ37 SS15  
SS21 WW00 WW04 XX24  
5F058 AA10 AD05 AF02 AF04 AH02

(54)【発明の名称】 低誘電率膜を有する半導体装置およびその製造方法

(57)【要約】

【解決手段】 半導体装置の製造方法は、第1の絶縁膜上に第2の絶縁膜を堆積し、前記第2の絶縁膜をパターニングして開口部を形成し、さらに前記第2の絶縁膜をマスクとして使いながら前記第1の絶縁膜をエッティングする工程を含み、前記第2の絶縁膜として低誘電率膜を使う。



**【特許請求の範囲】**

【請求項 1】 第1の絶縁膜上に第2の絶縁膜を堆積する工程と、  
前記第2の絶縁膜をパターニングし、開口部を形成する工程と、  
前記第2の絶縁膜をマスクに前記第1の絶縁膜をエッティングする工程とを含む  
半導体装置の製造方法において、  
前記第2の絶縁膜として、低誘電率膜を使い、  
前記第2の絶縁膜はCを含むSiO<sub>2</sub>膜よりなることを特徴とする半導体装置  
の製造方法。

【請求項 2】 前記第2の絶縁膜はCを、前記第2の絶縁膜が前記第1の絶  
縁膜をエッティングするエッティングレシピに対して選択性を示すような濃度で含む  
ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 3】 前記第2の絶縁膜中のC濃度は、前記第1の絶縁膜をエッチ  
ングするエッティングレシピを適用された場合のエッティング速度が、前記第1の絶  
縁膜のエッティング速度の1/5以下となるように設定されていることを特徴とす  
る請求項2記載の半導体装置の製造方法。

【請求項 4】 前記第2の絶縁膜は、Cを約25wt%を超える濃度で含む  
ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 5】 前記第2の絶縁膜は、Cを約55wt%の濃度で含むことを  
特徴とする請求項1記載の半導体装置の製造方法。

【請求項 6】 前記第1の絶縁膜は有機絶縁膜よりなり、前記第2の絶縁膜  
はhydrogen silsesquioxane膜よりなることを特徴とする請求項1記載の半導体  
装置の製造方法。

【請求項 7】 前記第1の絶縁膜は有機絶縁膜よりなることを特徴とする請  
求項1記載の半導体装置の製造方法。

【請求項 8】 前記第1の絶縁膜は無機絶縁膜よりなることを特徴とする請  
求項1記載の半導体装置の製造方法。

【請求項 9】 第1の絶縁膜上に第2の絶縁膜を堆積する工程と、  
前記第2の絶縁膜をパターニングして開口部を形成する工程と、  
前記第1の絶縁膜を前記第2の絶縁膜をエッティングマスクにエッティングする工

程とよりなり、

前記第2の絶縁膜として低誘電率膜を使い、

前記第1の絶縁膜はCを含むSiO<sub>2</sub>膜よりなることを特徴とする半導体装置の製造方法。

**【請求項10】** 前記第1の絶縁膜はCを、前記第1の絶縁膜が前記第2の絶縁膜をエッティングするエッティングレシピに対して選択性を示すような濃度で含むことを特徴とする請求項9記載の半導体装置の製造方法。

**【請求項11】** 前記第2の絶縁膜中のC濃度は、前記第1の絶縁膜をエッティングするエッティングレシピを適用された場合のエッティング速度が、前記第1の絶縁膜のエッティング速度の1/5以下となるように設定されていることを特徴とする請求項10記載の半導体装置の製造方法。

**【請求項12】** 前記第1の絶縁膜はCを、約25wt%を超える濃度で含むことを特徴とする請求項9記載の半導体装置の製造方法。

**【請求項13】** 前記第1の絶縁膜は、Cを約55wt%の濃度で含むことを特徴とする請求項9記載の半導体装置の製造方法。

**【請求項14】** 第1の絶縁膜上に第2の絶縁膜を堆積する工程と、前記第2の絶縁膜をパターニングして開口部を形成する工程と、前記第1の絶縁膜を前記第2の絶縁膜をエッティングマスクにエッティングする工程とよりなり、

前記第2の絶縁膜として低誘電率膜を使い、

前記第1の絶縁膜はCを含むSiO<sub>2</sub>膜よりなり、前記第2の絶縁膜はCを含むSiO<sub>2</sub>膜よりなることを特徴とする半導体装置の製造方法。

**【請求項15】** 前記第1および第2の絶縁膜は、前記第2の絶縁膜が前記第1の絶縁膜をエッティングするエッティングレシピに対してエッティング選択性を示すようなそれぞれの濃度でCを含むことを特徴とする請求項14記載の半導体装置の製造方法。

**【請求項16】** 前記第1および第2の絶縁膜中のC濃度は、前記第2の絶縁膜に対して前記第1の絶縁膜のエッティングレシピを適用した場合に、前記第2の絶縁膜のエッティング速度が前記第1の絶縁膜のエッティング速度の1/5以下に

なるように選ばれていることを特徴とする請求項 1 5 記載の半導体装置の製造方法。

【請求項 1 7】 前記第 1 および第 2 の絶縁膜は、同一の堆積装置中において連続して形成されることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 8】 基板と、

前記基板上に形成された多層配線構造とよりなり、

前記多層配線構造は、

第 1 の開口部を有する層間絶縁膜と、

前記層間絶縁膜上に形成され、前記第 1 の開口部に対して整列した第 2 の開口部を有するエッチングストッパ膜と、

前記第 1 および第 2 の開口部を充填する導電性パターンとよりなり、

前記エッチングストッパ膜は低誘電率膜よりなり、

前記エッチングストッパ膜は C を含む  $\text{SiO}_2$  膜よりなることを特徴とする半導体装置。

【請求項 1 9】 前記エッチングストッパ膜は C を、約 25 wt % を超える濃度で含むことを特徴とする請求項 1 8 記載の半導体装置。

【請求項 2 0】 前記エッチングストッパ膜は、C を約 55 wt % の濃度で含むことを特徴とする請求項 1 8 記載の半導体装置。

【請求項 2 1】 前記層間絶縁膜は、 $\text{SiO}_2$  膜と hydrogen silsesquioxane 膜より選択されることを特徴とする請求項 1 8 記載の半導体装置。

【請求項 2 2】 前記層間絶縁膜は有機絶縁膜よりなり、前記エッチングストッパ膜は hydrogen silsesquioxane 膜よりなることを特徴とする請求項 1 8 記載の半導体装置。

【請求項 2 3】 前記層間絶縁膜は有機絶縁膜よりなり、前記エッチングストッパ膜は C を含む  $\text{SiO}_2$  膜よりなることを特徴とする請求項 1 8 記載の半導体装置。

【請求項 2 4】 前記エッチングストッパ膜は、C を約 25 wt % 以上の濃度で含むことを特徴とする請求項 2 3 記載の半導体装置。

【請求項 2 5】 前記エッチングストッパ膜は、C を約 55 wt % 以上の濃

度で含むことを特徴とする請求項 23 記載の半導体装置。

**【請求項 26】** 前記層間絶縁膜と前記エッチングストップ膜とはCを含む $\text{SiO}_2$ 膜より形成されており、前記層間絶縁膜および前記エッチングストップ膜中のC濃度は、前記エッチングストップ膜に対して前記層間絶縁膜をエッチングするエッチングレシピを適用した場合のエッチング速度が、前記層間絶縁膜のエッチング速度の1/5以下となるように選ばれていることを特徴とする請求項18記載の半導体装置。

**【請求項 27】** 前記エッチングストップ膜はCを約55wt%の濃度で含み、前記層間絶縁膜はCを約25wt%以下の濃度で含むことを特徴とする請求項26記載の半導体装置。

**【請求項 28】** 基板と、  
前記基板上に形成された一対のパターンと、  
前記一対のパターンの間に形成されたコンタクトホールとよりなる半導体装置において、

前記パターンの各々は側壁絶縁膜を有し、  
前記コンタクトホールは前記パターンの側壁絶縁膜により画成され、  
前記側壁絶縁膜は低誘電率材料よりなり、  
前記側壁絶縁膜はCを含む $\text{SiO}_2$ 膜よりなることを特徴とする半導体装置。

**【請求項 29】** 前記側壁絶縁膜はCを、約25wt%を超える濃度で含むことを特徴とする請求項28記載の半導体装置。

**【請求項 30】** 前記側壁絶縁膜は、Cを約55wt%の濃度で含むことを特徴とする請求項28記載の半導体装置。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は一般に半導体装置に関し、特に低誘電率膜を有する半導体装置およびその製造方法に関する。

**【0002】****【従来の技術】**

微細化技術の進歩に伴い、今日の先端的な半導体集積回路装置では基板上に莫大な数の半導体素子が形成されている。かかる先端的な半導体集積回路装置では、基板上の半導体素子間を接続するのに一層の配線層では不十分であり、複数の配線層を層間絶縁膜を介して積層した、いわゆる多層配線構造を基板上に形成することがなされている。

**【0003】**

特に最近では、いわゆるデュアルダマシン法による多層配線構造の研究がなされている。典型的なデュアルダマシン法では層間絶縁膜中に形成しようとする配線パターンに対応した溝およびコンタクトホールが形成され、かかる溝およびコンタクトホールを導電体で埋めることにより所望の配線パターンを形成する。

**【0004】**

かかるデュアルダマシン法では、前記溝およびコンタクトホールを形成する際にエッチングストッパ膜が使われ、このためエッチングストッパ膜の果たす役割が重要である。また従来より、エッチングストッパ膜は、半導体装置の製造工程においてリソグラフィの解像限界を超えるような非常に微細なコンタクトホールを形成するいわゆる S A C (self-aligned contact) 技術においても重要な役割を果たしている。

**【0005】**

デュアルダマシン法には様々な変形が存在するが、図 1 A～1 F は、従来の典型的なデュアルダマシン法による、多層配線構造の形成方法を示す。

**【0006】**

図 1 A を参照するに、M O S (Metal-Oxide Silicon) ドラムジスタ等、図示

しない半導体要素が形成された Si 基板 10 は CVD (Chemical Vapor Deposit ion) - SiO<sub>2</sub>などの層間絶縁膜 11 により覆われており、前記層間絶縁膜 11 上には配線パターン 12A が形成されている。前記配線パターン 12A は、前記層間絶縁膜 11 上に形成された次の層間絶縁膜 12B 中に埋め込まれており、前記配線パターン 12A および層間絶縁膜 12B よりなる配線層 12 は、SiN 等のエッチングストップ膜 13 により覆われている。

#### 【0007】

前記エッチングストップ膜 13 は、さらに次の層間絶縁膜 14 により覆われ、前記層間絶縁膜 14 上には、SiN 等よりなる、さらに別のエッチングストップ膜 15 が形成されている。

#### 【0008】

図示の例では、前記エッチングストップ膜 15 上にさらに別の層間絶縁膜 16 が形成され、さらに前記層間絶縁膜 16 は次のエッチングストップ膜 17 により覆われている。エッチングストップ膜 15, 17 は、ハードマスクとよばれることがある。

#### 【0009】

図 1A の工程では、前記エッチングストップ膜 17 上にフォトリソグラフィー工程により、所望のコンタクトホールに対応した開口部 18A を有するレジストパターン 18 が形成され、前記レジストパターン 18 をマスクに前記エッチングストップ膜 17 をドライエッチングにより除去し、前記エッチングストップ膜 17 中に、前記所望のコンタクトホールに対応した開口部を形成する。

#### 【0010】

次に図 1B の工程において前記レジストパターン 18 を除去し、前記エッチングストップ膜 17 をハードマスクとしてその下の層間絶縁膜 16 を RIE (Reactive Ion Etching) 法によりドライエッチングし、前記層間絶縁膜 16 中に前記コンタクトホールに対応した開口部 16A を形成する。

#### 【0011】

さらに図 1C の工程において、前記図 1B の構造上にレジスト膜 19 が、前記開口部 16A を埋めるように塗布され、図 1D の工程においてこれをフォトリソ

グラフィー法によりパターニングし、所望の配線パターンに対応したレジスト開口部 19 A をレジスト膜 19 中に形成する。前記開口部 19 A の形成の結果、前記層間絶縁膜 16 中に形成された開口部 16 A が、前記レジスト開口部 19 A 中に露出される。

#### 【0012】

図 1 D の工程では、さらに前記レジスト膜 19 をマスクに、前記レジスト開口部 19 A において露出した前記エッチングストッパ膜 17 および前記開口部 16 A 底部において露出したエッチングストッパ膜 15 をドライエッチングにより除去し、図 1 E の工程において前記レジスト膜 19 を除去した後、前記エッチングストッパ膜 17 および 15 をハードマスクに、前記層間絶縁膜 16 および層間絶縁膜 14 をドライエッチングにより一括してパターニングする。

#### 【0013】

かかるパターニングの結果、前記層間絶縁膜 16 中には所望の配線溝に対応する溝 16 B が、また前記層間絶縁膜 14 中には所望のコンタクトホールに対応する開口部 14 A が形成される。前記開口部 16 B は、前記開口部 16 A を含むように形成される。

#### 【0014】

さらに図 1 F の工程において、前記開口部 14 A 低部において露出しているエッチングストッパ膜 13 を RIE 法によるドライエッチングにより除去し、コンタクトホール 14 A 底部において前記配線パターン 12 A を露出する。

#### 【0015】

前記エッチングストッパ膜 13 を除去する工程の後、前記配線溝 16 B およびコンタクトホール 14 A を A1 層あるいは Cu 層などの導電膜で充填し、さらに前記層間絶縁膜 16 上に形成された導電膜部分を化学機械研磨 (CMP) により除去することにより、配線パターン 12 A とコンタクトホール 14 A で接続された配線パターン 20 が得られる。これらの工程をさらに繰り返すことにより、3 層目、4 層目の配線パターンを形成することが可能である。

#### 【0016】

このようなデュアルダマシン法による多層配線構造の形成工程においては、先

にも説明したようにエッチングストップ膜 13, 15, 17 の役割が重要であるが、従来より、かかるエッチングストップ膜として、前記層間絶縁膜 14, 16 あるいは 18 に対して大きなエッチング選択比が確保できる材料として、一般に SiN が使われている。

### 【0017】

#### 【発明が解決しようとする課題】

ところで、最近の半導体集積回路装置では、配線パターンにおいて生じる配線遅延の問題を解決すべく、従来の Al の代わりに、配線パターンとして低抵抗の Cu を使うことが行われている。最近の集積密度の高い半導体集積回路装置では、基板 10 上に形成される半導体素子数が莫大なものとなっており、また配線パターンも非常に複雑になっているため、このような多層配線構造中に形成される配線パターンの総延長は非常に大きなものになっている。

### 【0018】

また、かかる配線遅延をさらに低減させるため、Cu 配線パターンの使用の他に、多層配線構造を構成する層間絶縁膜の誘電率を減少させる努力がなされている。従来のように層間絶縁膜として SiO<sub>2</sub> あるいは BPSG 等を使った場合には、比誘電率の値は 4 ~ 5 程度になるが、例えば FSG 等の F 添加 SiO<sub>2</sub> 膜を使うと比誘電率の値を 3. 3 ~ 3. 6 程度まで減少させることができる。また HSQ (hydrogen silsesquioxane) 等の Si-H 基を含む SiO<sub>2</sub> 膜では、比誘電率の値を 2. 9 ~ 3. 1 程度まで低減することができる。さらに前記層間絶縁膜として、有機 SOG の使用や、有機絶縁膜の使用も提案されている。有機 SOG を使った場合、3 以下の比誘電率が達成される。また有機絶縁膜は 2. 7 程度の非常に低い誘電率を実現できる。

### 【0019】

一方、先に説明した図 1A ~ 1F からわかるように、デュアルダマシン法で形成した多層配線構造では、一の層間絶縁膜と次の層間絶縁膜との間にエッチングストップ膜を介在させるのが不可欠であるが、かかるエッチングストップ膜として従来より使われている SiN は比誘電率が 8 程度と非常に大きく、このため折角層間絶縁膜として低誘電率材料を使っても、その効果が相殺されてしまう。ま

た配線パターンとして低抵抗の Cu を使っても、その好ましい効果が前記 SiN 膜の高い誘電率により、実質的に相殺されてしまうことになる。図 1 F よりわかるように、デュアルダマシン法で形成した多層配線構造では、半導体装置の完成後もエッチングストップ膜は層間絶縁膜と間に残留する。

#### 【0020】

層間絶縁膜として有機絶縁膜を使った場合には、エッチングストップ膜として SiO<sub>2</sub> 膜を使うことができるが、その場合でも、 SiO<sub>2</sub> エッチングストップ膜が望ましい層間絶縁膜の誘電率の低下をある程度相殺してしまうことは避けられない。

#### 【0021】

また、 SAC (自己整合コンタクト) 構造を有する半導体装置においても、エッチングストップ膜は最終デバイス構造中に残留する。 SAC 構造ではコンタクトホール形成プロセスにおいてエッチングストップ膜が自己整合コンタクトとして使われる。例えば、かかる自己整合マスクはゲート電極の側壁絶縁膜を構成する側壁絶縁膜により構成される。このため、かかる自己整合マスクとして低誘電率材料を使うことは、特に高速半導体装置においては動作速度を向上させる上で重要なポイントとなる。従来は、かかる目的に SiN あるいは SiON が使われていたが、先にも説明したようにこれらの材料では比誘電率が 4.0 以上で非常に大きく、このため、半導体装置において所望の動作速度の向上は達成されていない。

#### 【0022】

##### 【課題を解決するための手段】

そこで、本発明は上記の課題を解決した、新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする。

#### 【0023】

本発明のより具体的な目的は、多層配線構造を有する半導体装置において、ハードマスクとして使われるエッチングストップ膜の誘電率を低減させることにある。

#### 【0024】

本発明の別の目的は、自己整合コンタクトホールを有する半導体装置において、マスクとして作用するエッティングストッパ膜の誘電率を低減させることにある。

### 【0025】

本発明は、上記の課題を、  
第1の絶縁膜上に第2の絶縁膜を堆積する工程と、  
前記第2の絶縁膜をパターニングし、開口部を形成する工程と、  
前記第2の絶縁膜をマスクに前記第1の絶縁膜をエッティングする工程とを含む半導体装置の製造方法において、  
前記第2の絶縁膜として、低誘電率膜を使うことを特徴とする半導体装置の製造方法を提供することにある。

### 【0026】

本発明の他の目的は、  
基板と、  
前記基板上に形成された多層配線構造とよりなり、  
前記多層配線構造は  
第1の開口部を有する層間絶縁膜と、  
前記層間絶縁膜上に形成され、前記第1の開口部に対して整列した第2の開口部を有するエッティングストッパ膜と、  
前記第1および第2の開口部を充填する導電性パターンとよりなり、  
前記エッティングストッパ膜は低誘電率膜よりなることを特徴とする半導体装置を提供することにある。

### 【0027】

本発明の他の目的は、  
基板と、  
前記基板上に形成された一対のパターンと、  
前記一対のパターンの間に形成されたコンタクトホールとよりなる半導体装置において、  
前記パターンの各々は側壁絶縁膜を有し、

前記コンタクトホールは前記パターンの側壁絶縁膜により画成され、前記側壁絶縁膜は低誘電率材料よりなることを特徴とする半導体装置を提供することにある。

### 【0028】

本発明によれば、デュアルダマシン法により形成された多層配線構造中において生じる配線遅延を、エッチングストップ膜として機能する前記第2の絶縁膜として低誘電率膜を使うことにより、最小化することが可能になる。

### 【0029】

本発明のその他の特徴および利点については、以下図面を参照して行う本発明の好ましい実施例についての説明より明らかとなろう。

### 【0030】

#### 【発明の実施の形態】

##### 【原理】

以下、本発明の原理を図2を参照しながら説明する。ただし図2は、本発明の発明者が行なった本発明の基礎となる実験により求められた、様々なSiO<sub>2</sub>絶縁膜のドライエッチング速度を示す。図2中、縦軸はエッチング速度を、横軸はSiO<sub>2</sub>膜中に導入されたCの濃度を重量比(wt%)で示す。図2の実験では、図2の実験では、通常のSiO<sub>2</sub>膜をドライエッチングするレシピにより、エッチングガスとしてC<sub>4</sub>F<sub>8</sub>, O<sub>2</sub>およびArを使い、ドライエッチングした。

### 【0031】

図2中、SOD-SiO<sub>2</sub>と記載されている実験点は、いわゆるSOG (spin-on-glass) 膜についてのものであり、これに対してP-SiOと記載されている実験点はプラズマCVD法により形成したSiO<sub>2</sub>膜についての結果を表す。これらの膜は、4.0あるいはそれを超える大きな比誘電率を有している。

### 【0032】

さらにHSQと記載されている実験点は、SiO<sub>2</sub>膜中にHがSi-Hの形で導入された絶縁膜についての実験点であり、2.8~2.9程度の、低い誘電率を有する。また、図2中、SiNと記載されている実験点は、プラズマCVD法により形成したSiN膜に対して、SiO<sub>2</sub>膜をドライエッチングするレシピを

適用した場合に得られるエッティング速度を示す。SiN膜の比誘電率は、先にも説明したように非常に大きく、8.0に達する。

### 【0033】

図2を参照するに、上述の各実験点では、SiO<sub>2</sub>膜はCを含まず、膜中に含まれるCの量は実質的に0wt%であり、SOG膜(SOG-SiO<sub>2</sub>)およびプラズマCVD-SiO<sub>2</sub>膜(P-SiO)では毎分400nmを超えるエッティング速度が実現されているのがわかる。これに対し、プラズマCVD-SiN膜(P-SiN)ではエッティング速度は毎分20~30nm程度であり、前記SOG膜あるいはプラズマCVD-SiO<sub>2</sub>膜に対して10倍を超えるエッティング選択比が確保されているのが確認される。一方、先にも説明したように、これらのSiO<sub>2</sub>膜では比誘電率が高いため、図1Fに示す多層配線構造に適用した場合には、低誘電率層間絶縁膜により得られる利点がかなり相殺されてしまう。

### 【0034】

一方、本発明の発明者は、SiO<sub>2</sub>膜中にCをSiOCHの形で含む低誘電率絶縁膜について、SiO<sub>2</sub>膜をドライエッティングするレシピを適用したところ、膜中のC濃度が約2.5wt%である場合に、エッティング速度が毎分100nm以下にまで低下することを見出した。これを図2中、「Hybrid 1」で示す。さらに、前記SiOCH膜中のC濃度を約5.5wt%まで増加させたところ、図2中「Hybrid 2」で示すようにエッティング速度が毎分10nm以下にまで減少するのが見出された。これらの値は、前記SiO<sub>2</sub>エッティングレシピにおいてプラズマCVD-SiN膜に対して得られるエッティング速度と同等、あるいはそれよりも小さい。

### 【0035】

図2の実験で使ったSiOCH膜は一般的に入手可能なスピンドル膜であり、様々なC濃度のものが入手可能である。また、かかるSiOCH膜はプラズマCVD法により形成することも可能である。

### 【0036】

かかるCをSiOCH成分の形で含むSiO<sub>2</sub>膜中においてはSi原子にCH<sub>x</sub>基が結合しており、Si-C結合が形成されている。図2の結果は、膜中における

る Si-C 結合の割合が増大するにつれて、SiO<sub>2</sub>膜のエッチングレシピを適用した場合の SiO<sub>2</sub>膜のエッチング速度は急激に低下する。

### 【0037】

図2は、特にCを約55wt%含む「Hybrid 2」組成のSiO<sub>2</sub>膜を、SiNを代替する低誘電率エッチングストップ膜として使うことが可能であることを示している。

### 【0038】

#### 【第1実施例】

図3A～3Cは、本発明の第1実施例によるハードマスクを使った絶縁層のパターニング工程を含む半導体装置の製造方法を示す。

### 【0039】

図3Aを参照するに、基板1上に第1の絶縁膜2が形成され、さらに前記第1の絶縁膜2上に第2の絶縁膜3が形成されて半導体構造が形成される。

### 【0040】

次に図3Bの工程において前記第2の絶縁膜3中に開口部3Aが形成される。さらに図3Cの工程において前記第2の絶縁膜3をハードマスクに、前記第1の絶縁膜2を、前記第1の絶縁膜2のレシピでドライエッチングして、前記開口部3Aに対応した開口部2Aを前記第1の絶縁膜2中に形成する。

### 【0041】

以下の表1は、本発明による、前記第1の絶縁膜2と前記第2の絶縁膜3の、可能な組み合わせを示す。

### 【0042】

#### 【表1】

		ハードマスク層(絶縁層3)		
		HSQ	有機	Cを含むSiO <sub>2</sub>
エッチングする層(絶縁層2)	無機(SiO <sub>2</sub> , SiN, HSQ, 他.)	×	○	○
	有機	○	○	○
	Cを含むSiO <sub>2</sub>	○	○	○

表1を参照するに、前記第2の絶縁膜3、すなわちハードマスクとしてHSQ膜を使った場合には、前記第1の絶縁膜2がSiO<sub>2</sub>膜、SiN膜あるいはHSQ膜等の無機絶縁膜である場合を除き、すなわち前記第1の絶縁膜2が有機絶縁膜およびCを含むSiO<sub>2</sub>膜のいずれである場合にも、前記絶縁膜3をハードマスクとして使った絶縁膜2のパターニングを行なうことができるがわかる。

#### 【0043】

一方前記表1より、前記第2の絶縁膜3として芳香族系の有機絶縁膜を使った場合には、かかる有機絶縁膜3をハードマスクとして、SiO<sub>2</sub>膜、SiN膜およびHSQ膜を含む無機絶縁膜、およびCを含むSiO<sub>2</sub>膜のいずれもが、それぞれのエッチングレシピでパターニングできることがわかる。

#### 【0044】

さらに表1は、Cを含むSiO<sub>2</sub>膜が、前記第1の絶縁膜2の有効なハードマスクとして、前記第1の絶縁膜2がSiO<sub>2</sub>、SiNあるいはHSQ等の無機絶縁膜であっても、また有機絶縁膜であっても機能することを示す。またCを含むSiO<sub>2</sub>膜は、前記第2の絶縁膜3がCを含む絶縁膜である場合でも、有効なハードマスクとして機能し得る。この場合には、前記絶縁膜2中のC濃度と絶縁膜3中のC濃度を、前記絶縁膜2と絶縁膜3との間で十分な、好ましくは5倍以上の選択比が確保できるような値にそれぞれ設定する。

#### 【0045】

先に説明した図2の関係を参照すると、例えば前記第1の絶縁膜2中のC濃度

を 25 wt % 以下、また前記第2の絶縁膜3中のC濃度を 50 % 以上に設定することで、前記第1の絶縁膜を SiO<sub>2</sub>膜のエッチングレシピでドライエッチングした場合に、所望の選択比が前記絶縁膜2と絶縁膜3との間に確保できるのがわかる。

#### 【0046】

図3Cの構造では、前記第1および第2の絶縁膜2および3がいずれも低誘電率膜であるため、全体としても低い誘電率を有し、その結果前記開口部2A中に低抵抗導体パターンを形成した場合でも、寄生容量の増大の問題を回避することができる。

#### 【0047】

特に前記第1の絶縁膜2および第2の絶縁膜3の双方をCを含むSiO<sub>2</sub>膜とした場合には、前記図3Aの工程において、前記第1の絶縁膜2と第2の絶縁膜3の堆積を、同一の反応容器中において連続してCVDプロセスを実行することにより、効率よく行なうことができる。

#### 【0048】

##### 【第2実施例】

図4A～4Fは、本発明の第2実施例による多層配線構造を有する半導体装置の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参考符号を付し、説明を省略する。

#### 【0049】

図4Aを参照するに、この工程は先に説明した図1Aの工程に対応し、同様な積層構造が形成されているが、従来のSiNよりなるエッチングトップ膜13、15および17の代わりにCを約55 wt %含むSiOCH膜23、25および27が使われる。

#### 【0050】

そこで、図4Bの工程において、前記レジストパターン18をマスクに、SiN膜のエッチングレシピにより、前記SiOCH膜27をドライエッチングし、前記SiOCH膜27中に前記レジスト開口部18Aに対応した開口部を形成する。ただし前記レジスト開口部18Aは、前記多層配線構造中に形成したいコン

タクトホールに対応している。さらに、前記レジストパターン18を除去し、あるいは残したまま、前記SiOCH膜27の下の層間絶縁膜16を、SiO<sub>2</sub>膜のエッチングレシピによりドライエッチングし、前記レジスト開口部18Aに対応した開口部16Aを形成する。

#### 【0051】

次に図4Cの工程において、図4Bの構造上にレジスト膜19を新たに塗布し、さらに図4Dの工程においてこれをフォトリソグラフィー工程によりパターニングし、前記多層配線構造中に形成したい配線溝に対応して、レジスト開口部19Aを形成する。前記レジスト開口部19Aの形成の結果、前記SiOCH膜27および前記層間絶縁膜16中に形成された開口部16Aが露出する。また、前記開口部16Aの底において、前記SiOCH膜25が露出する。

#### 【0052】

次に、図4Eの工程において、前記レジスト膜19をマスクに、SiN膜のエッチングレシピにより前記レジスト開口部19Aにより露出された前記SiOCH膜27をドライエッチングし除去する。かかるドライエッチングを行なうことにより、前記開口部16A底部において露出していたSiOCH膜25も同時に除去され、前記レジスト開口部19Aにおいて前記層間絶縁膜25が、また前記開口部16Aにおいて前記層間絶縁膜14が露出される。

#### 【0053】

さらに図4Eの工程では、このようにして得られた構造に対して、SiO<sub>2</sub>膜のエッチングレシピによりドライエッチングを行ない、前記層間絶縁膜16中に、前記レジスト開口部19Aに対応した、すなわち形成したい配線溝に対応した開口部16Bを形成する。ただし、前記開口部16Bは前記開口部16Aを含むように形成される。前記開口部16Bの形成と同時に、前記層間絶縁膜14中には、前記開口部16Aに対応した、すなわち形成したいコンタクトホールに対応した開口部14Aが形成される。

#### 【0054】

さらに、図4Fの工程において、前記層間絶縁膜16上のSiOCH膜27、前記開口部16Bにおいて露出しているSiOCH膜25、さらに前記開口部1

4 Aにおいて露出している SiOCH膜23が、SiN膜のエッチングレシピによりドライエッチングを行なうことにより除去される。

#### 【0055】

このようにして形成された、前記開口部16Bよりなる配線溝および前記開口部14AよりなるコンタクトホールをCu等の導体層により充填し、さらに前記層間絶縁膜16上の導体層をCMP法により除去することにより、図4Fに示すような、前記下側配線パターン12Aとコンタクトホール14Aにおいてコンタクトした導体パターン20が得られる。

#### 【0056】

前記層間絶縁膜14および16として、FドープSiO<sub>2</sub>膜、SiOH等のHSQ膜、あるいは多孔質膜等の無機低誘電率絶縁膜、あるいは有機SOG、あるいは芳香族系の低誘電率有機絶縁膜を使うのが望ましい。勿論、従来より使われている、CVD-SiO<sub>2</sub>膜やSOG膜を、前記層間絶縁膜14、16として使うことも可能である。

#### 【0057】

特に前記層間絶縁膜14、16として低誘電率の無機あるいは有機絶縁膜を使った場合、本実施例による多層配線構造は、全体的な誘電率を低下させることが可能になり、半導体装置の高速動作に寄与する。

#### 【0058】

前記SiOCH膜23、25、27は、例えばスピンドルコーティングすることにより、あるいは先に説明した表1の条件に従ってプラズマCVD法により、形成することが可能である。前記図4Aの工程において前記SiOCH膜23、25、27をプラズマCVD法で形成した場合、同一のプラズマCVD装置内において、前記膜23、25、27を、他の層間絶縁膜14、16と共に、連続して、基板を大気中に取り出す必要なく、形成することが可能である。

#### 【0059】

一方、前記SiOCH膜23、25、27をスピンドルコーティング法で形成する場合には、SOG膜と組み合わせることにより、先に図2で説明した前記SiOCH膜とSOG膜との間の大きなエッチング選択性を利用することが可能になる

。この特徴は、後で説明するクラスター・ド・ハードマスク構成において有効である

。

### 【0060】

#### 【第3実施例】

図5A～5Eは、本発明の第3実施例による半導体装置の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

### 【0061】

図5Aを参照するに、この工程は先の図4Aの工程と実質的に同じであり、Si基板10上の層間絶縁膜11上に形成された配線層12上に、SiOCH膜23、層間絶縁膜14、SiOCH膜25、層間絶縁膜16およびSiOCH膜27を積層した構成の積層構造体を含み、前記積層構造体上には、レジスト開口部18Aを有するレジストパターン18が形成されている。先の実施例と同様に、前記レジスト開口部18Aは、多層配線構造中に形成したいコンタクトホールに対応している。

### 【0062】

次に図5Bの工程において、まず前記SiOCH膜27を前記レジストパターン18をマスクに、SiN膜のエッチングレシピでエッチングし、前記レジスト開口部18Aに対応した開口部（図示せず）を形成する。

### 【0063】

このようにして形成された開口部18Aはその下の層間絶縁膜16を露出し、次にこのように露出された層間絶縁膜16をSiO<sub>2</sub>膜のエッチングレシピでエッチングし、前記層間絶縁膜16中に、その下のSiOCH膜25を露出するように、前記レジスト開口部18Aに対応した開口部を形成する。

### 【0064】

さらに前記露出されたSiOCH膜25に対してSiN膜のエッチングレシピを適用し、その下の層間絶縁膜14を露出する開口部を、前記レジスト開口部18Aに対応して形成する。さらに、このようにして露出された前記層間絶縁膜14に対してSiO<sub>2</sub>膜のエッチングレシピを適用し、前記層間絶縁膜14中に、

前記レジスト開口部 18A に対応した開口部 14A を形成する。このようにして形成された開口部 14A は、前記 SiOCH 膜 27、その下の層間絶縁膜 16、さらにその下の SiOCH 膜 25、およびその下の層間絶縁膜 14 を貫通して延在し、前記 SiOCH 膜 23 を底部において露出する。

#### 【0065】

次に図 5C の工程において前記レジスト膜 18 を除去し、図 5B の構造上に新たにレジスト膜 19 を、前記レジスト膜 19 が前記開口部 14A を埋めるように塗布し、図 5D の工程において前記レジスト膜 19 をフォトリソグラフィー法によりパターニングし、前記多層配線構造中に形成したい配線溝に対応したレジスト開口部 19A を前記レジスト膜 19 中に形成する。

#### 【0066】

次に図 5E の工程において前記レジスト開口部 19A を形成されたレジスト膜 19 よりなるレジストパターンをマスクに、前記レジスト開口部 19A により露出された SiOCH 膜 27 に対して SiN 膜をドライエッチングするエッチングレシピを適用し、前記露出された SiOCH 膜 27 中に、前記レジスト開口部 19A に対応した開口部を、その下の層間絶縁膜 16 が露出するように形成する。さらに前記レジストパターン 19 を除去した後、前記 SiOCH 膜 27 をハードマスクに、前記層間絶縁膜 16 を SiO<sub>2</sub> 膜のエッチングレシピによりドライエッチングし、前記層間絶縁膜 16 中に、前記レジスト開口部 19A に対応した、すなわち多層配線構造中に形成したい配線溝に対応した開口部 16A を形成する。

#### 【0067】

前記開口部 16A を形成するドライエッチングは前記 SiOCH 膜 25 が露出した時点で停止するが、この後で露出した SiOCH 膜 27、25 および 23 を除去し、前記開口部 16A および 14A を Cu 等の導体層により充填することにより、先に図 4F で説明した多層配線構造が得られる。

#### 【0068】

本実施例においても、前記層間絶縁膜 14 および 16 として、F ドープ SiO<sub>2</sub> 膜、SiO<sub>2</sub>H 等のHSQ 膜、あるいは多孔質膜等の無機低誘電率絶縁膜、あ

るいは有機SOG、あるいは芳香族系の低誘電率有機絶縁膜を使うことができ、その結果本実施例による多層配線構造では、全体的な誘電率が低下し、これにより半導体装置の動作速度が向上する。

### 【0069】

#### [第4実施例]

図6A～6Eは、本発明の第4実施例による半導体装置の製造工程を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

### 【0070】

図6Aを参照するに、この工程は先の図4A、図5Aの工程と実質的に同じであり、Si基板10上の層間絶縁膜11上に形成された配線層12上に、SiOCH膜23、層間絶縁膜14、SiOCH膜25、層間絶縁膜16およびSiOCH膜27を積層した構成の積層構造体を含む。ただし本実施例では前記積層構造体上に、前記多層配線構造中に形成したい配線溝に対応したレジスト開口部28Aを有するレジストパターン28が形成されている。

### 【0071】

次に図6Bの工程において、まず前記SiOCH膜27を前記レジストパターン28をマスクに、SiN膜のエッチングレシピでエッチングし、前記レジスト開口部28Aに対応した開口部（図示せず）を形成する。このようにして形成された開口部はその下の層間絶縁膜16を露出し、次にこのように露出された層間絶縁膜16をSiO<sub>2</sub>膜のエッチングレシピでエッチングし、前記層間絶縁膜16中に、その下のSiOCH膜25を露出するように、前記レジスト開口部28Aに対応した、すなわち形成したい配線溝に対応した開口部16Aを形成する。

### 【0072】

次に図6Cの工程において前記レジスト膜28を除去し、図6Bの構造上に新たにレジスト膜29を、前記レジスト膜29が前記開口部16Aを埋めるように塗布し、図6Dの工程において前記レジスト膜29をフォトリソグラフィー法によりパターニングし、前記多層配線構造中に形成したいコンタクトホールに対応したレジスト開口部29Aを前記レジスト膜29中に形成する。

### 【0073】

次に図6Eの工程において前記レジスト開口部29Aを形成されたレジスト膜29よりなるレジストパターンをマスクに、前記レジスト開口部29Aにより露出されたSiOCH膜25に対してSiN膜をドライエッチングするエッチングレシピを適用し、前記露出されたSiOCH膜25中に、前記レジスト開口部29Aに対応した開口部を、その下の層間絶縁膜14が露出するように形成する。

#### 【0074】

さらに前記レジストパターン29を除去した後、前記SiOCH膜27および25をハードマスクに、前記層間絶縁膜14をSiO<sub>2</sub>膜のエッチングレシピによりドライエッチングし、前記層間絶縁膜14中に、前記レジスト開口部29Aに対応した、すなわち多層配線構造中に形成したいコンタクトホールに対応した開口部14Aを形成する。

#### 【0075】

前記開口部14Aを形成するドライエッチングは前記SiOCH膜23が露出した時点で停止するが、この後で露出したSiOCH膜27、25および23を除去し、前記開口部16Aおよび14AをCu等の導体層により充填することにより、先に図4Fで説明した多層配線構造が得られる。

#### 【0076】

本実施例においても、前記層間絶縁膜14および16として、FドープSiO<sub>2</sub>膜、SiOH等のHSQ膜、あるいは多孔質膜等の無機低誘電率絶縁膜、あるいは有機SOG、あるいは芳香族系の低誘電率有機絶縁膜を使うことができ、その結果本実施例による多層配線構造では、全体的な誘電率が低下し、これにより半導体装置の動作速度が向上する。

#### 【0077】

##### [第5実施例]

図7A～7Eは、本発明の第5実施例による半導体装置の製造工程を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

#### 【0078】

図7Aを参照するに、前記Si基板10上の層間絶縁膜11上に形成された配線層12上には、SiOCH膜23、層間絶縁膜14およびSiOCH膜25が

順次堆積されており、さらに前記SiOCH膜25上には前記多層配線構造中に形成したいコンタクトホールに対応したレジスト開口部31Aを有するレジストパターン31が形成されている。

#### 【0079】

前記レジスト開口部31Aにおいては前記SiOCH膜25が露出されており、図7Bの工程において、前記露出されたSiOCH膜25に対してSiN膜をドライエッチングする際のエッチングレシピを適用し、前記レジスト開口部31Aに対応した開口部25Aを形成する。

#### 【0080】

図7Bの工程では、さらに前記SiOCH膜25上に前記開口部25Aを埋めるように層間絶縁膜16を堆積し、さらに前記層間絶縁膜16上にSiOCH膜27を堆積する。

#### 【0081】

次に図7Cの工程において前記SiOCH膜27上にレジスト膜32を塗布し、さらに図7Dの工程において前記レジスト膜32をフォトリソグラフィー工程によりパターニングし、前記多層配線構造中に形成したい配線溝に対応した開口部32Aを形成する。

#### 【0082】

さらに図7Eの工程において前記レジスト膜32をマスクに、前記開口部32Aにより露出されたSiOCH膜27をSiN膜のエッチングレシピによりドライエッチングし、その下の層間絶縁膜16を露出する。

#### 【0083】

次に、前記層間絶縁膜16をSiO<sub>2</sub>膜のエッチングレシピによりドライエッチングすることにより、前記層間絶縁膜16中に、前記レジスト開口部32Aに対応した、すなわち形成したい配線溝に対応した開口部16Aが形成される。前記層間絶縁膜16のエッチングは前記SiOCH膜25が形成されている部分では、前記SiOCH膜25の露出と同時に停止するが、膜25中に前記開口部25Aが形成されている部分では、ドライエッチングは前記開口部25Aを通ってその下の層間絶縁膜14中に侵入し、その結果前記層間絶縁膜14中に前記開口

部25Aに対応した、すなわち前記多層配線構造中に形成したいコンタクトホールに対応した開口部14Aが形成される。

#### 【0084】

前記開口部14Aを形成するドライエッチングは前記SiOCH膜23が露出した時点で停止するが、この後で露出したSiOCH膜27, 25および23を除去し、前記開口部16Aおよび14AをCu等の導体層により充填することにより、先に図4Fで説明した多層配線構造が得られる。

#### 【0085】

本実施例においても、前記層間絶縁膜14および16として、FドープSiO<sub>2</sub>膜、SiOH等のHSQ膜、あるいは多孔質膜等の無機低誘電率絶縁膜、あるいは有機SOG、あるいは芳香族系の低誘電率有機絶縁膜を使うことができ、その結果本実施例による多層配線構造では、全体的な誘電率が低下し、これにより半導体装置の動作速度が向上する。

#### 【0086】

##### 【第6実施例】

図8A～8Eは、いわゆるクラスター・ド・ハードマスクを使った、本発明の第6実施例による多層配線構造を有する半導体装置の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

#### 【0087】

本実施例では図8Aの工程において、前記配線パターン12Aを含む配線層12上にSiOCH膜23、層間絶縁膜14、SiOCH膜25、層間絶縁膜16、およびSiOCH膜27が他の実施例と同様に順次積層され、さらに前記SiOCH膜27上にSiO<sub>2</sub>膜32がプラズマCVD法により、あるいはスピンドルコーティングにより形成され、前記SiO<sub>2</sub>膜32上には、多層配線構造中に形成したいコンタクトホールに対応したレジスト開口部18Aを有するレジスト膜18が形成される。前記SiOCH膜27およびSiO<sub>2</sub>膜32は、いわゆるクラスター・ド・ハードマスク構成を形成する。

#### 【0088】

図8Aの工程では、さらに前記SiO<sub>2</sub>膜32に対してレジスト膜18をマ

スクとして  $\text{SiO}_2$  膜をエッティングするレシピでドライエッティングが施され、その結果前記  $\text{SiO}_2$  膜 32 中に前記レジスト開口部 18A に対応してその下の  $\text{SiOCH}$  膜 27 を露出する開口部が形成される。

#### 【0089】

さらにエッティングレシピを  $\text{SiN}$  膜をドライエッティングするレシピに変更して図 8A の工程で露出された  $\text{SiOCH}$  膜 27 をドライエッティングすることにより、前記  $\text{SiOCH}$  膜 27 中には、図 8B に示すように前記レジスト開口部 18A に対応して前記層間絶縁膜 16 を露出する開口部 27A が形成される。

#### 【0090】

図 8B の工程では、さらに前記  $\text{SiO}_2$  膜 32 上に、前記多層配線構造中に形成したい配線溝に対応したレジスト開口部 19A を有するレジスト膜 19 が、前記  $\text{SiO}_2$  膜 32 を露出するように形成されており、図 8C の工程において前記露出した  $\text{SiO}_2$  膜 32 が、前記レジスト膜 19 をマスクに、 $\text{SiO}_2$  膜をドライエッティングするエッティングレシピを適用することにより、エッティング・除去される。

#### 【0091】

図 8C のドライエッティングの際には前記  $\text{SiOCH}$  膜 27 がエッティングストップとして作用し、その結果図 8C に示すように、前記  $\text{SiO}_2$  膜 32 中には、前記レジスト開口部 19A に対応した開口部 32A が、前記  $\text{SiOCH}$  膜 27 を露出するように形成される。

#### 【0092】

図 8C の工程では、前記  $\text{SiO}_2$  膜 32 のドライエッティングと同時に、前記開口部 27A において前記層間絶縁膜 16 のドライエッティングも進行し、その結果、前記層間絶縁膜 16 中に、前記開口部 27A に対応した開口部 16A が形成される。この工程では、前記  $\text{SiOCH}$  膜 27 がハードマスクとして使われる。前記開口部 16A においては  $\text{SiOCH}$  膜 25 が露出される。

#### 【0093】

次に、図 8D の工程においてエッティングレシピを  $\text{SiN}$  膜をエッティングするレシピに変更し、前記開口部 32A において露出している  $\text{SiOCH}$  膜 27 および

前記開口部 16 Aにおいて露出している SiOCH膜 25を除去し、前記開口部 32 Aにおいて層間絶縁膜 16を、また前記開口部 16 Aにおいて層間絶縁膜 14を露出する。

#### 【0094】

さらに図 8 E の工程において、エッチングレシピを SiO<sub>2</sub>膜のエッチングレシピに変更し、前記開口部 32 Aにおいて露出している層間絶縁膜 16 および前記開口部 16 Aにおいて露出している層間絶縁膜 14 をエッチング・除去し、前記層間絶縁膜 16 中に、前記レジスト開口部 19 A に対応した、すなわち形成したい配線溝に対応した開口部 16 B を、また前記層間絶縁膜 14 中に前記レジスト開口部 14 A に対応した、すなわち形成したいコンタクトホールに対応した開口部 14 A を形成する。

#### 【0095】

さらに図 8 E の構造において露出した SiOCH膜 27, 25 および 23 を除去し、前記開口部 16 A および 14 A を Cu 等の導体層により充填することにより、先に図 4 F で説明した多層配線構造が得られる。

#### 【0096】

本実施例では、特に図 8 C の工程において、前記 SiO<sub>2</sub>膜 32 と SiOCH 膜 27 との間のエッチング選択性を利用するが、前記 SiO<sub>2</sub>膜 32 として SOG 膜、すなわちスピノコーティングした SiO<sub>2</sub>膜を使い、またこれに対応して前記 SiOCH 膜 27 をスピノコーティングにより形成することにより、先に説明した図 2 に示したように、また以下の表 2 に示すように、非常に大きな選択比を実現することができる。

#### 【0097】

#### 【表 2】

		HM1 の HM2 に対するエッティング選択性	HM2 の HM1 に対するエッティング選択性
CASE 1	HM1=CVD-SiO <sub>2</sub> HM2=CVD-SiN	17	4.8
CASE 2	HM1=SOD-SiO <sub>2</sub> HM2=SOD-ハイブリッド	100	13

表2を参照するに、CASE 1 とあるのは従来の場合で、ハードマスク層（HM1）とハードマスク層（HM2）を積層したクラスター・ド・ハードマスク構成において、前記ハードマスク層（HM1）としてCVD-SiO<sub>2</sub>膜を使い、ハードマスク層（HM2）としてCVD-SiN膜を使った場合を示し、一方CASE 2 とあるのは本実施例のように、ハードマスク層（HM1）としてSOG膜（SOD-SiO<sub>2</sub>）を使い、ハードマスク層（HM2）としてSiOCH膜（SOD-Hybrid）を使った場合を示す。

#### 【0098】

表2よりわかるように、CVD-SiN膜をエッティングストップとしてCVD-SiO<sub>2</sub>膜をドライエッティングした従来の場合には、エッティング選択比として17程度の値しか得られなかつたが、図2よりわかるように「Hybrid 2」で示した本発明によるSiOCH膜のSiO<sub>2</sub>エッティングレシピに対するエッティング速度はSiN膜のものよりも実質的に小さく、その結果100に達するエッティング選択比が実現できることがわかる。

#### 【0099】

また表2より、従来CVD-SiO<sub>2</sub>膜をエッティングストップとしてCVD-SiN膜をドライエッティングする場合には、エッティング選択比として4.8程度の値が得られていたが、前記SiOCH膜をSOG膜をエッティングストップとして使いSiNエッティングレシピでドライエッティングした場合には13程度のより大きなエッティング選択比が実現できる。前記SiOCH膜をSiN膜のエッティングレシピでドライエッティングした場合のエッティング速度は、同じドライエッキン

グレシピでプラズマCVD膜をドライエッチングする場合のエッチング速度よりも多少大きくなる。

#### 【0100】

なお、このようにしてスピンドルコーティングにより形成されたSiOCH膜27は、その下の層間絶縁膜16を、間の界面に欠陥等を形成することなく覆うことができる。

#### 【0101】

本実施例においても、前記層間絶縁膜14および16として、FドープSiO<sub>2</sub>膜、SiOH等のHSQ膜、あるいは多孔質膜等の無機低誘電率絶縁膜、あるいは有機SOG、あるいは芳香族系の低誘電率有機絶縁膜を使うことができ、その結果本実施例による多層配線構造では、全体的な誘電率が低下し、これにより半導体装置の動作速度が向上する。

#### 【0102】

また本実施例において、前記上側のクラスター・ド・ハードマスク層32はSiO<sub>2</sub>膜に限定されるものではなく、例えばC濃度のより低い組成のSiOCH膜を使うことも可能である。

#### 【0103】

##### 〔第7実施例〕

次に、前記SiOCH膜をエッチングストップ膜とした、SAC (self-aligned contact) 構造を有する半導体装置の製造方法について、図9A～9Dを参照しながら説明する。

#### 【0104】

図9Aを参照するに、p型あるいはn型にドープされたSi基板41上にはゲート酸化膜42が熱酸化膜により形成されており、前記ゲート酸化膜42上にポリシリコン膜43をCVD法により形成し、さらに前記ポリシリコン膜43上に、先に説明したSiOCH膜44をスピンドルコーティングにより形成する。

#### 【0105】

次に図9Bの工程において、前記SiOCH膜44およびその下のポリシリコン膜43をフォトリソグラフィー法によりパターニングし、ポリシリコンゲート

電極 43A および 43B を互いに隣接して形成する。このようにして形成されたポリシリコンゲート電極 43A, 43B 上には、前記 SiOCH 膜 44 のパターニングの結果、SiOCH パターン 44E および 44F が、それぞれ形成されている。

#### 【0106】

図 9B の工程では、さらに前記 Si 基板 41 中に、前記ゲート電極 43A, 43B を自己整合マスクとしてイオン注入を行なうことにより、図示しない拡散領域が形成され、さらに前記ゲート電極 43A, 43B を、その上の SiOCH パターン 44E および 44F も含めて覆うように別の SiOCH 膜が CVD 法により堆積され、これを SiN 膜のエッチングレシピを使ってエッチバックすることにより、前記ゲート電極 43A の両側に SiOCH よりなる側壁絶縁膜 44A, 44B を、また前記ゲート電極 43B の両側に SiOCH よりなる側壁絶縁膜 44C, 44D を形成する。

#### 【0107】

さらに、前記 Si 基板 41 上には、前記ゲート電極 43A, 43B を前記 SiOCH 膜 44A～44F を介して覆うように、SiO<sub>2</sub> 膜 45 が、プラズマ CVD 法により形成される。

#### 【0108】

次に図 9C の工程において、前記 SiO<sub>2</sub> 膜 45 中に、前記ゲート電極 43A とゲート電極 43B との間に形成された拡散領域を露出するようにコンタクトホール 45A が、前記 SiO<sub>2</sub> 膜 45 に対して SiO<sub>2</sub> 膜のエッチングレシピを適用することにより形成される。その際、前記ゲート電極 43A および 43B は前記 SiOCH 膜 44A～44F により覆われているため、前記コンタクトホール 45A は前記 SiOCH 膜 44B, 44C および 44E, 44F を露出するが、前記コンタクトホール 45A を形成するドライエッチングは、図 2 よりわかるように、前記 SiOCH 膜 44B, 44C, 44E および 44F が露出した時点でエッチングの選択性により、自発的に停止する。

#### 【0109】

さらに図 9D の工程において、前記コンタクトホール 45A を覆うように前記

$\text{SiO}_2$ 膜 4 4 上に電極 4 6 を形成する。

### 【0110】

本実施例によれば、従来のように前記エッチングストップ膜 4 4 A～4 4 F として  $\text{SiN}$  膜を使った場合に比べ、 $\text{SiOCH}$  を使うことによりエッチングストップ膜 4 4 A～4 4 F と  $\text{SiO}_2$  膜 4 5 との間のエッチング選択比が増大し、その結果従来図 9 C の工程において生じていた、エッチングストップ膜 4 4 B, 4 4 E、あるいは 4 4 C, 4 4 F の膜厚の減少の問題、およびこれに伴うゲートリード電流の増大の問題が解消する。また、前記エッチングストップ案区 4 4 A～4 4 F は比誘電率が 3.0 未満の低誘電率膜であるため、半導体装置の動作速度が向上する。

### 【0111】

以上、本発明を好ましい実施例について説明したが、本発明は上記の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

### 【0112】

#### 【発明の効果】

本発明の特徴によれば、低誘電率絶縁膜をエッチングストップ膜あるいはハーフマスクに使うことにより、多層配線構造の全体的な誘電率を減少させることができになり、半導体集積回路装置の動作速度が向上する。また、かかる組成が  $\text{SiOCH}$  の低誘電率絶縁膜は、自己整合コンタクトホール (SAC) 構造を有する半導体装置に対しても適用可能である。

#### 【図面の簡単な説明】

##### 【図 1】

(A)～(F) は、従来の多層配線構造の形成工程を示す図である。

##### 【図 2】

本発明の原理を説明する図である。

##### 【図 3】

(A)～(C) は、本発明の第 1 実施例による半導体装置の製造工程を示す図である。

## 【図4】

(A)～(F)は、本発明の第2実施例による半導体装置の製造工程を示す図である。

## 【図5】

(A)～(E)は、本発明の第3実施例による半導体装置の製造工程を示す図である。

## 【図6】

(A)～(E)は、本発明の第4実施例による半導体装置の製造工程を示す図である。

## 【図7】

(A)～(E)は、本発明の第5実施例による半導体装置の製造工程を示す図である。

## 【図8】

(A)～(E)は、本発明の第6実施例による半導体装置の製造工程を示す図である。

## 【図9】

(A)～(D)は、本発明の第7実施例による半導体装置の製造工程を示す図である。

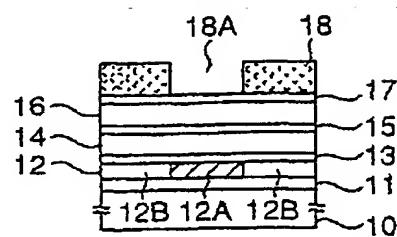
## 【符号の説明】

- 1 基板
- 2, 3 絶縁膜
- 2A, 3A 開口部
- 10, 41 Si 基板
- 11 CVD膜
- 12 配線層
- 12A 配線パターン
- 12B 絶縁膜
- 13, 15, 17, 32 エッチングストップ膜
- 14, 16 層間絶縁膜

14A, 16A, 25A, 32A ハードマスク開口部  
 18, 19, 28, 29, 31, 32 レジスト膜  
 18A, 19A, 28A, 29A, 31A, 32A レジスト開口部  
 20 導体パターン  
 23, 25, 27 SiOCHエッチングストップ膜  
 42 ゲート酸化膜  
 43 ポリシリコン膜  
 43A, 43B ポリシリコンゲート電極  
 44 SiOCH膜  
 44A~44D SiOCH側壁絶縁膜  
 44E, 44F SiOCHパターン  
 45 SiO<sub>2</sub> 膜  
 45A コンタクトホール  
 46 電極

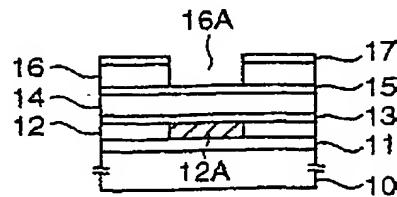
【図1A】

FIG. 1A



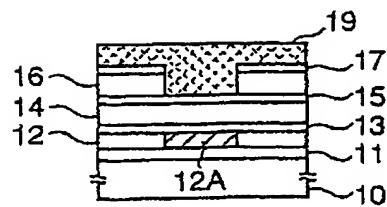
【図1B】

FIG. 1B



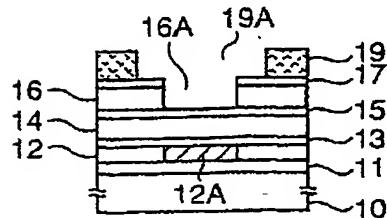
【図 1C】

FIG. 1C



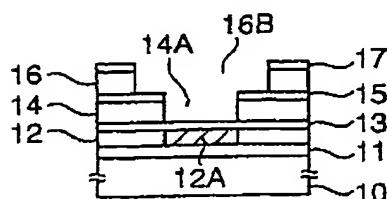
【図 1D】

FIG. 1D



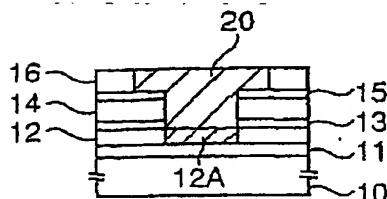
【図 1E】

FIG. 1E

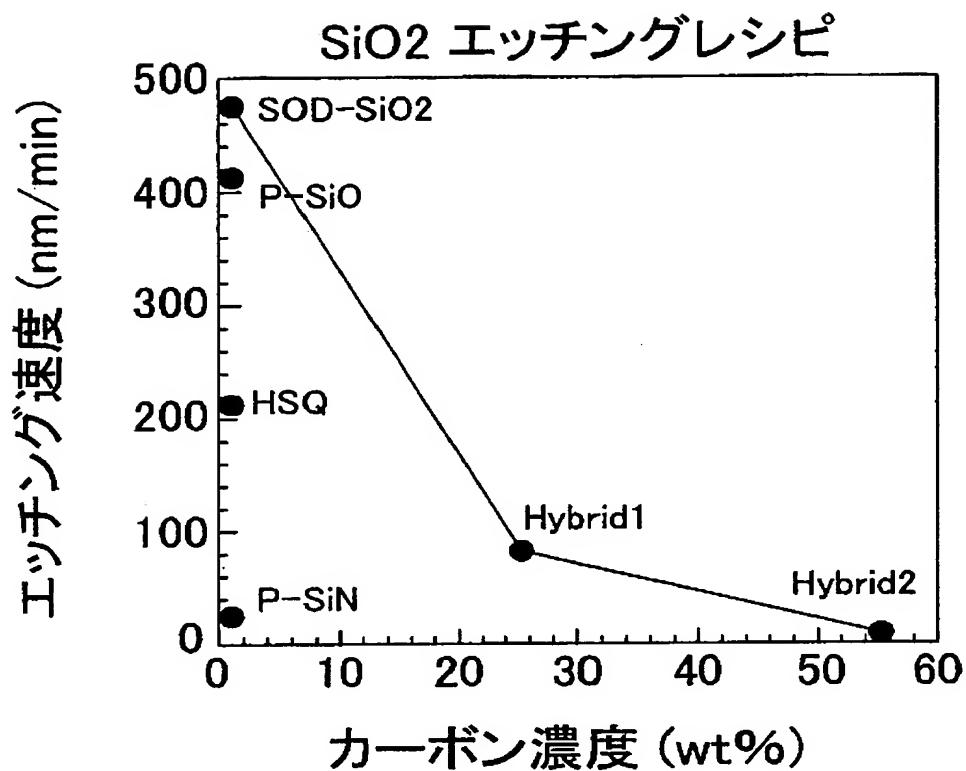


【図 1F】

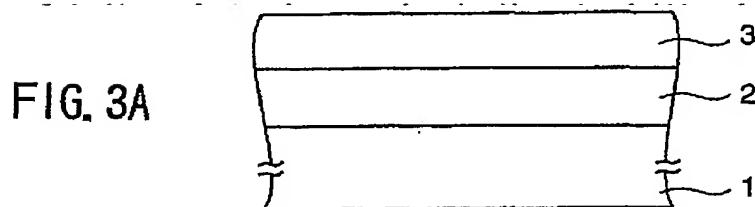
FIG. 1F



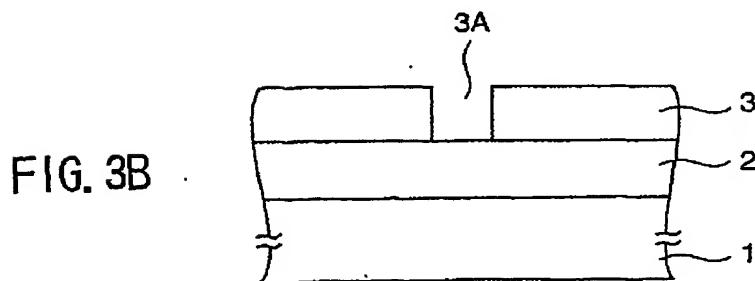
【図 2】



【図 3 A】

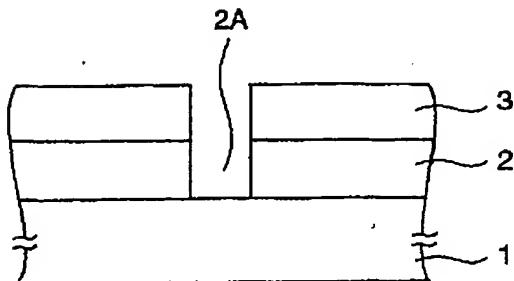


【図 3 B】



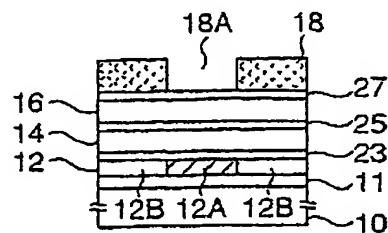
【図 3C】

FIG. 3C



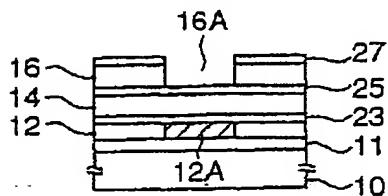
【図 4A】

FIG. 4A



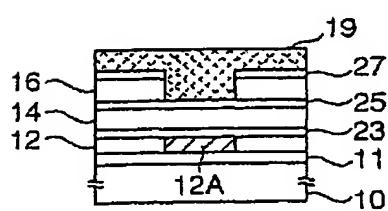
【図 4B】

FIG. 4B



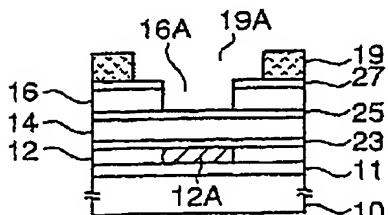
【図 4C】

FIG. 4C



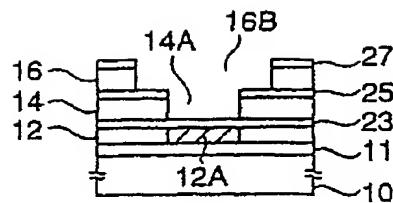
【図 4D】

FIG. 4D



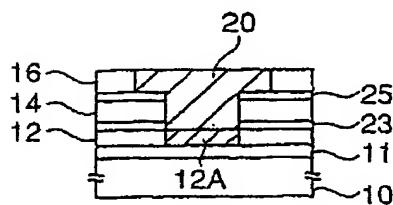
【図 4 E】

FIG. 4E



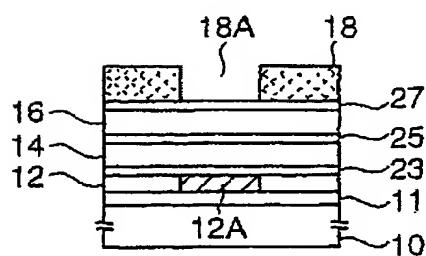
【図 4 F】

FIG. 4F



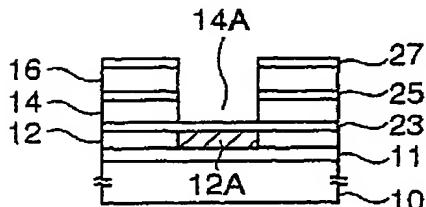
【図 5 A】

FIG. 5A



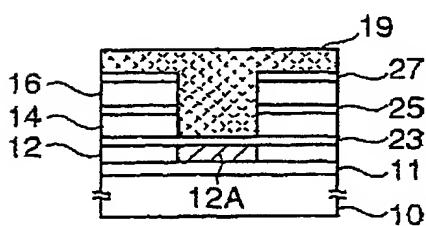
【図 5 B】

FIG. 5B



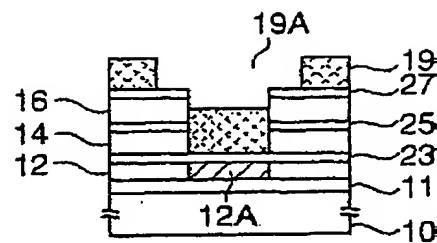
【図 5 C】

FIG. 5C



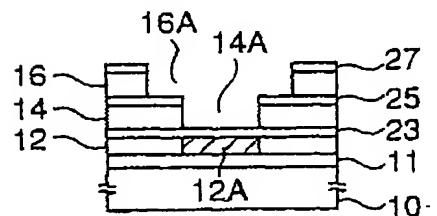
【図 5 D】

FIG. 5D



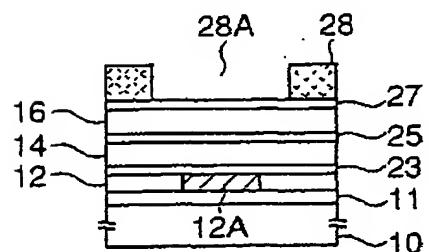
【図 5 E】

FIG. 5E



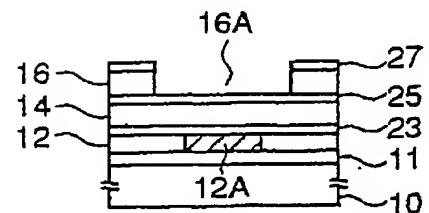
【図 6 A】

FIG. 6A



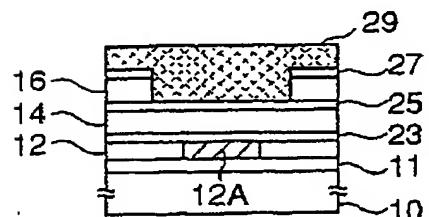
【図 6 B】

FIG. 6B



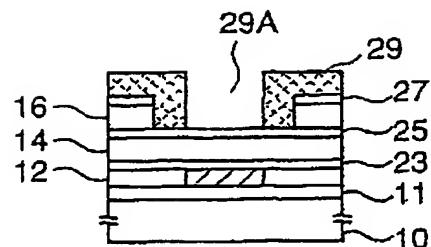
【図 6 C】

FIG. 6C



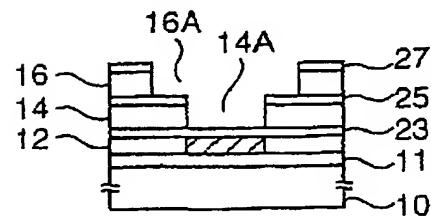
【図 6 D】

FIG. 6D



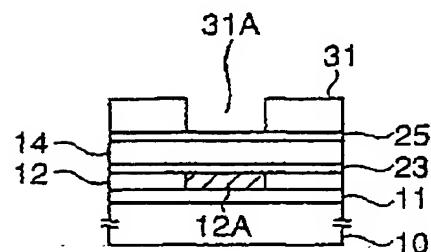
【図 6 E】

FIG. 6E



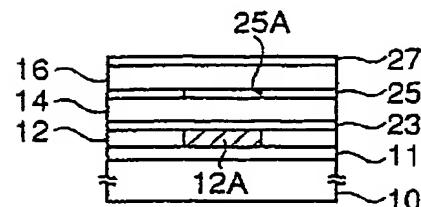
【図 7 A】

FIG. 7A



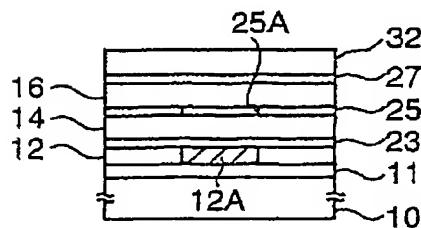
【図 7 B】

FIG. 7B



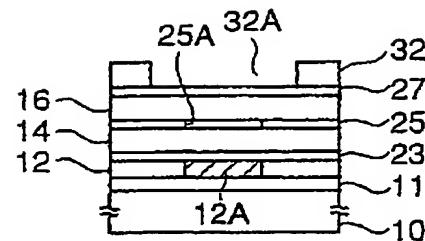
【図 7 C】

FIG. 7C



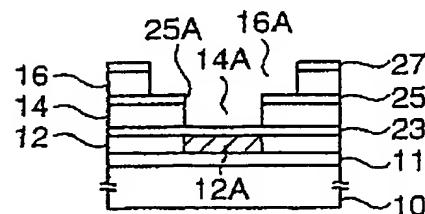
【図 7D】

FIG. 7D



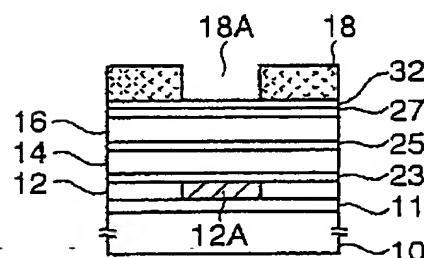
【図 7E】

FIG. 7E



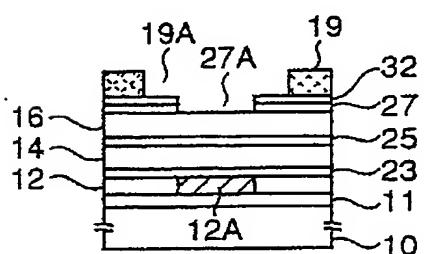
【図 8A】

FIG. 8A



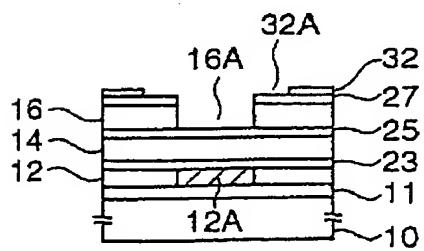
【図 8B】

FIG. 8B



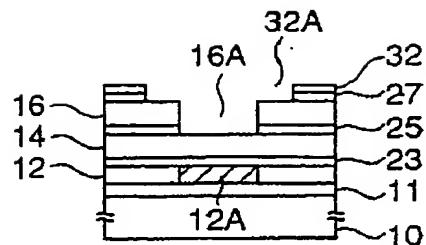
【図 8C】

FIG. 8C



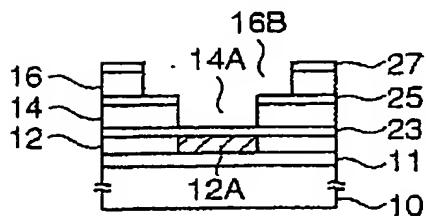
【図8D】

FIG. 8D



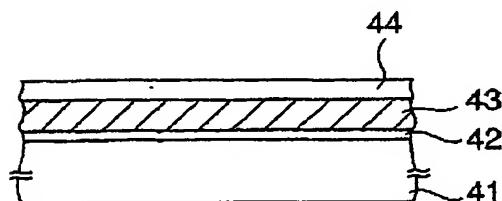
【図8E】

FIG. 8E



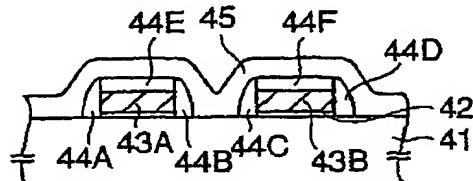
【図9A】

FIG. 9A



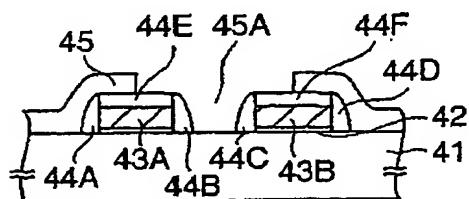
【図9B】

FIG. 9B



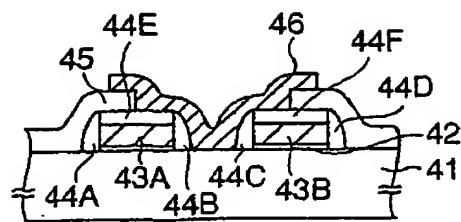
【図9C】

FIG. 9C



【図 9D】

FIG. 9D



【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成14年3月29日(2002.3.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 第1の絶縁膜上に第2の絶縁膜を堆積する工程と、  
前記第2の絶縁膜をパターニングし、開口部を形成する工程と、  
前記第2の絶縁膜をマスクに前記第1の絶縁膜をエッチングする工程とを含む  
半導体装置の製造方法において、

前記第2の絶縁膜として、低誘電率膜を使い、  
前記第2の絶縁膜はCH<sub>x</sub>基を有するシリコン酸化膜よりなることを特徴とする  
半導体装置の製造方法。

【請求項2】 前記第2の絶縁膜はCを、前記第2の絶縁膜が前記第1の絶  
縁膜をエッチングするエッチングレシピに対して選択性を示すような濃度で含む  
ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第2の絶縁膜中のC濃度は、前記第2の絶縁膜が、前記  
第1の絶縁膜をエッチングするエッチングレシピを適用された場合に、前記第1  
の絶縁膜のエッチング速度の1/5以下のエッチング速度を示すように設定され  
ていることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 前記第2の絶縁膜は、Cを約25wt%を超える濃度で含む  
ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記第2の絶縁膜は、Cを約55wt%の濃度で含むことを  
特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記第1の絶縁膜は有機絶縁膜よりなることを特徴とする請  
求項1記載の半導体装置の製造方法。

【請求項7】 前記第1の絶縁膜は無機絶縁膜よりなることを特徴とする請

求項 1 記載の半導体装置の製造方法。

【請求項 8】 第 1 の絶縁膜上に第 2 の絶縁膜を堆積する工程と、  
前記第 2 の絶縁膜をパターニングして開口部を形成する工程と、  
前記第 1 の絶縁膜を前記第 2 の絶縁膜をエッチングマスクにエッチングする工  
程とよりなり、

前記第 2 の絶縁膜として低誘電率膜を使い、  
前記第 1 の絶縁膜は C を含む  $\text{SiO}_2$  膜よりなることを特徴とする半導体装置  
の製造方法。

【請求項 9】 前記第 1 の絶縁膜は C を、前記第 1 の絶縁膜が前記第 2 の絶  
縁膜をエッチングするエッチングレシピに対して選択性を示すような濃度で含む  
ことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記 C 濃度は、前記第 1 の絶縁膜が、前記第 2 の絶縁膜を  
エッチングするエッチングレシピを適用された場合のエッチング速度の 1/5 以  
下となるように設定されていることを特徴とする請求項 9 記載の半導体装置の製  
造方法。

【請求項 11】 前記第 1 の絶縁膜は C を、約 25 wt % を超える濃度で含  
むことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 12】 前記第 1 の絶縁膜は、C を約 55 wt % の濃度で含むこと  
を特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 13】 第 1 の絶縁膜上に第 2 の絶縁膜を堆積する工程と、  
前記第 2 の絶縁膜をパターニングして開口部を形成する工程と、  
前記第 1 の絶縁膜を前記第 2 の絶縁膜をエッチングマスクにエッチングする工  
程とよりなり、

前記第 2 の絶縁膜として低誘電率膜を使い、  
前記第 1 の絶縁膜は C を含む  $\text{SiO}_2$  膜よりなり、前記第 2 の絶縁膜は C を含  
む  $\text{SiO}_2$  膜よりなることを特徴とする半導体装置の製造方法。

【請求項 14】 前記第 1 および第 2 の絶縁膜は、前記第 2 の絶縁膜が、前  
記第 1 の絶縁膜をエッチングするエッチングレシピに対してエッチング選択性を  
示すように選定されたそれぞれの濃度で C を含むことを特徴とする請求項 13 記

載の半導体装置の製造方法。

【請求項 15】 前記第1および第2の絶縁膜中のC濃度は、前記第2の絶縁膜に対して前記第1の絶縁膜のエッチングレシピを適用した場合に、前記第2の絶縁膜が、前記第1の絶縁膜のエッチング速度の1/5以下のエッチング速度を示すように選ばれていることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項 16】 前記第1および第2の絶縁膜は、同一の堆積装置中において連続して形成されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 17】 基板と、

前記基板上に設けられた多層配線構造とよりなり、

前記多層配線構造は、

第1の開口部を有する層間絶縁膜と、

前記層間絶縁膜上に形成され、前記第1の開口部に対して整列した第2の開口部を有するエッチングストッパ膜と、

前記第1および第2の開口部を充填する導電性パターンとよりなり、

前記エッチングストッパ膜は低誘電率膜よりなり、

前記エッチングストッパ膜はCH<sub>x</sub>基を含むシリコン酸化膜よりなることを特徴とする半導体装置。

【請求項 18】 前記エッチングストッパ膜はCを、約25wt%を超える濃度で含むことを特徴とする請求項17記載の半導体装置。

【請求項 19】 前記エッチングストッパ膜は、Cを約55wt%の濃度で含むことを特徴とする請求項17記載の半導体装置。

【請求項 20】 前記層間絶縁膜は、SiO<sub>2</sub>膜とhydrogen silsesquioxane膜より選択されることを特徴とする請求項17記載の半導体装置。

【請求項 21】 前記層間絶縁膜は有機絶縁膜よりなり、前記エッチングストッパ膜はCを含むSiO<sub>2</sub>膜よりなることを特徴とする請求項17記載の半導体装置。

【請求項 22】 前記エッチングストッパ膜はCを、約25wt%を超える濃度で含むことを特徴とする請求項21記載の半導体装置。

【請求項 23】 前記エッチングストッパ膜は、Cを約55wt%以上の濃度で含むことを特徴とする請求項21記載の半導体装置。

【請求項 24】 前記層間絶縁膜と前記エッチングストッパ膜とはCを含むSiO<sub>2</sub>膜より形成されており、前記層間絶縁膜および前記エッチングストッパ膜中のC濃度は、前記エッチングストッパ膜に対して前記層間絶縁膜をエッティングするエッチングレシピを適用した場合に、前記エッチングストッパ膜が、前記層間絶縁膜のエッチング速度の1/5以下のエッチング速度を示すように選定されていることを特徴とする請求項17記載の半導体装置。

【請求項 25】 前記エッチングストッパ膜はCを約55wt%の濃度で含み、前記層間絶縁膜はCを約25wt%以下の濃度で含むことを特徴とする請求項24記載の半導体装置。

【請求項 26】 基板と、  
前記基板上に形成された一対のパターンと、  
前記一対のパターンの間に形成されたコンタクトホールとよりなる半導体装置において、

前記パターンの各々は側壁絶縁膜を有し、  
前記コンタクトホールは前記パターンの側壁絶縁膜により画成され、  
前記側壁絶縁膜は低誘電率材料よりなり、  
前記側壁絶縁膜はCを含むSiO<sub>2</sub>膜よりなることを特徴とする半導体装置。

【請求項 27】 前記側壁絶縁膜はCを、約25wt%を超える濃度で含むことを特徴とする請求項26記載の半導体装置。

【請求項 28】 前記側壁絶縁膜は、Cを約55wt%の濃度で含むことを特徴とする請求項26記載の半導体装置。

【請求項 29】 第1の絶縁膜上に第2の絶縁膜を堆積する工程と、  
前記第2の絶縁膜をパターニングして開口部を形成する工程と、  
前記第2の絶縁膜をエッチングマスクに前記第1の絶縁膜をエッチングする工程とよりなり、  
低誘電率膜を前記第2の絶縁膜として使い、  
前記絶縁膜はCH<sub>x</sub>基を含むシリコン酸化膜よりなり、

前記C濃度は、前記第2の絶縁膜が、前記第1の絶縁膜をエッチングするエッチングレシピを適用された場合に前記第1の絶縁膜のエッチング速度の1/5以下のエッチング速度を示すように選定されることを特徴とする半導体装置の製造方法。

【請求項30】 前記第2の膜はCを、約25wt%を超える濃度で含むことを特徴とする請求項29記載の方法。

【請求項31】 前記第2の絶縁膜はCを約55wt%の濃度で含むことを特徴とする請求項29記載の方法。

【請求項32】 前記第1の絶縁膜は有機絶縁膜よりなることを特徴とする請求項29記載の方法。

【請求項33】 基板と、

前記基板上に設けられた多層配線構造とよりなり、

前記多層配線構造は、

第1の開口部を有する層間絶縁膜と、

前記層間絶縁膜上に形成され、前記第1の開口部に整列した第2の開口部を有するエッチングストッパ膜と、

前記第1および第2の開口部を充填する導体パターンとよりなり、

前記エッチングストッパ膜は低誘電率膜よりなり、

前記エッチングストッパ膜はCH<sub>x</sub>基を含むシリコン酸化膜よりなり、

前記層間絶縁膜および前記エッチングストッパ膜はCをそれぞれの濃度で含むSiO<sub>2</sub>膜よりなり、前記エッチングストッパ膜は前記層間絶縁膜をエッチングするエッチングレシピに対して、前記層間絶縁膜のエッチング速度の1/5以下のエッチング速度を示すことを特徴とする半導体装置。

【請求項34】 前記エッチングストッパ膜は約25wt%を超える濃度のCを含むことを特徴とする請求項33記載の半導体装置。

【請求項35】 前記エッチング膜はCを約55wt%の濃度で含むことを特徴とする請求項33記載の半導体装置。

【請求項36】 前記層間絶縁膜は、SiO<sub>2</sub>膜とhydrogen silsesquioxane膜とよりなる群から選ばれることを特徴とする請求項33記載の半導体装置。

【請求項 37】 前記層間絶縁膜は有機絶縁膜よりなり、前記エッチングストッパ膜はCを含んだSiO<sub>2</sub>膜よりなることを特徴とする請求項33記載の半導体装置。

【請求項 38】 前記エッチングストッパ膜はCを約55wt%の濃度で含み、前記層間絶縁膜はCを約25wt%以下の濃度で含むことを特徴とする請求項33記載の半導体装置。

【請求項 39】 第1の絶縁膜上に第2の絶縁膜を堆積する工程と、前記第2の絶縁膜をパターニングして開口部を形成する工程と、前記第2の絶縁膜をエッチングマスクに前記第1の絶縁膜をエッチングする工程とよりなり、

前記第1の絶縁膜は低誘電率有機膜よりなり、前記第2の絶縁膜として低誘電率膜を使い、前記第2の絶縁膜はHSQ膜よりなることを特徴とする半導体装置の製造方法

【請求項 40】 基板と、前記基板上に設けられた多層配線構造とよりなり、前記多層配線構造は、第1の開口部を有する層間絶縁膜と、前記層間絶縁膜上に設けられ、前記第1の開口部に整列した第2の開口部を有するエッチングストッパ膜と、前記第1および第2の開口部を充填する導体パターンとよりなり、前記層間絶縁膜は低誘電率有機膜よりなり、前記エッチングストッパ膜は低誘電率膜よりなり、前記エッチングストッパ膜はHSQ膜よりなることを特徴とする半導体装置。

【請求項 41】 第1の絶縁膜上に第2の絶縁膜を堆積する工程と、前記第2の絶縁膜をパターニングして開口部を形成する工程と、前記第2の絶縁膜をエッチングマスクに前記第1の絶縁膜をエッチングする工程とよりなり、前記第1の絶縁膜は低誘電率有機膜よりなり、

低誘電率膜を前記第2の絶縁膜に使い、

前記第2の絶縁膜はCを含むシリコン酸化膜よりなることを特徴とする半導体装置の製造方法。

**【請求項42】** 前記第2の絶縁膜中のC濃度は、前記第2の絶縁膜が、前記第1の絶縁膜のエッティングレシピを適用された場合に前記第1の絶縁膜のエッティング速度の1/5以下のエッティング速度を示すように選定されることを特徴とする請求項41記載の方法。

**【請求項43】** 前記第2の絶縁膜はCを、約25wt%を超える濃度で含むことを特徴とする請求項41記載の方法。

**【請求項44】** 前記第2の絶縁膜はCを約55wt%の濃度で含むことを特徴とする請求項41記載の方法。

**【請求項45】** 基板と、  
前記基板上に設けられた多層配線構造とよりなり、  
前記多層配線構造は、  
第1の開口部を有する層間絶縁膜と、  
前記層間絶縁膜上に設けられ、前記第1の開口部に整列した第2の開口部を有するエッティングストップ膜と、  
前記第1および第2の開口部を充填する導体パターンとよりなり、  
前記層間絶縁膜は低誘電率有機膜よりなり、  
前記エッティングストップ膜は低誘電率膜よりなり、  
前記エッティングストップ膜はCを含むシリコン酸化物よりなることを特徴とする半導体装置。

**【請求項46】** 前記第2の絶縁膜中におけるC濃度は、前記第2の絶縁膜が、前記第1の絶縁膜に対するエッティングレシピを適用された場合に前記第1の絶縁膜のエッティング速度の1/5以下のエッティング速度を示すように選定されることを特徴とする請求項45記載の半導体装置。

**【請求項47】** 前記第2の絶縁膜はCを、約25wt%を超える濃度で含むことを特徴とする請求項45記載の半導体装置。

**【請求項48】** 前記第2の絶縁膜はCを約55wt%の濃度で含むことを

特徴とする請求項4-5記載の半導体装置。

## BEST AVAILABLE COPY

74112742 引用例・公知例

(50)

特表 2003-533025

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP01/03618
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl. H01L 21/768		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl? H01L21/3205, H01L21/3213, H01L21/768, H01L21/312-21/318, H01L21/32, H01L21/47-21/475		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Japanese Utility Model Gazette 1926-1996, Japanese Publication of Unexamined Utility Model Applications 1971-2001, Japanese Registered Utility Model Gazette 1994-2001, Japanese Gazette containing the Utility Model 1994-2001		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-49137 A (MOTOROLA INCORPORATED), 18 FEBRUARY, 2000 (18.02.00), SEE WHOLE DOCUMENT, FIG.1-10	1-5, 26-29, 33
A	SEE WHOLE DOCUMENT, FIG.1-10  & US 6127258 A & CN 1241812 A	6-25, 30, 31, 33-38
X	JP 10-112503 A (SONY CORPORATION), 28 APRIL, 1998 (28.04.98), SEE WHOLE DOCUMENT, FIG.1-12 SEE WHOLE DOCUMENT, FIG.1-12 (FAMILY: NONE)	26-28 29-38
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
** "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention ** "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone ** "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art ** "E" document member of the same patent family		
Date of the actual completion of the international search 23.07.01		Date of mailing of the international search report 31.07.01
Name and mailing address of the ISA/JP <b>Japan Patent Office</b> 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer <b>HASEYAMA Ken</b>  Telephone No. +81-3-3581-1101 Ext. 3462 4L 9171

Form PCT/ISA/210 (second sheet) (July 1998)

## BEST AVAILABLE COPY

(51)

特表 2003-533025

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP01/03618

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-135184 A (OKI ELECTRIC INDUSTRY COMPANY LIMITED), 22 MAY, 1998 (22.05.98), SEE WHOLE DOCUMENT, FIG.1-5 SEE WHOLE DOCUMENT, FIG.1-5 (FAMILY: NONE)	39 40-42
Y A	JP 10-172966 A (TEXAS INSTRUMENTS INCORPORATED), 26 JUNE, 1998 (26.06.98), SEE WHOLE DOCUMENT, FIG.1-14 SEE WHOLE DOCUMENT, FIG.1-14 & KR 98042229 A & TW 382762 A	39 40-42

Form PCT/I8A/210 (continuation of second sheet) (July 1998)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**